

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

008293592 **Image available**

WPI Acc No: 1990-180593/199024

XRPX Acc No: N90-140343

Liquid crystal display panel with reduced pixel defects - uses thin film transistor array with gate, drain and pixel electrodes isolated from leach other

Patent Assignee: NEC CORP (NIDE)

Inventor: KANEKO S; SUKEGAWA O

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 372821	A	19900613	EP 89312448	A	19891129	199024	B
JP 2149824	A	19900608	JP 88304383	A	19881130	199029	
JP 2157827	A	19900618				199030	
US 5166816	A	19921124	US 89442773	A	19891129	199250	
			US 91695260	A	19910531		
EP 372821	B1	19950308	EP 89312448	A	19891129	199514	
DE 68921567	E	19950413	DE 621567	A	19891129	199520	
			EP 89312448	A	19891129		

Priority Applications (No Type Date): JP 88304383 A 19881130; JP 88313341 A 19881212

Cited Patents: 1.Jnl.Ref; A3...9119; DE 3714164; EP 267824; NoSR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 372821	A				
-----------	---	--	--	--	--

Designated States (Regional): DE FR GB

US 5166816	A	10	G02F-001/13	Cont of application US 89442773
------------	---	----	-------------	---------------------------------

EP 372821	B1 E	9	G02F-001/136	
-----------	------	---	--------------	--

Designated States (Regional): DE FR GB

DE 68921567	E		G02F-001/136	Based on patent EP 372821
-------------	---	--	--------------	---------------------------

Abstract (Basic): EP 372821 A

The LCD panel has a glass substrate (51), a number of rows of gate electrodes (52) provided on the glass substrate, and a number of columns of drain electrodes (56). Several pixel electrodes (60) correspond to each of the intersections of a matrix formed by the gate electrodes and the drain electrodes.

Two sets of insulating films (53, 58) are provided between the gate electrodes, the drain electrodes, and the pixel electrodes in order to isolate them from each other. The pixel electrodes (60) communicate with the source electrodes (57) through openings (59) in the second insulating films (58).

ADVANTAGE - Produces high yield. (10pp Dwg.No.5/6)

Title Terms: LIQUID; CRYSTAL; DISPLAY; PANEL; REDUCE; PIXEL; DEFECT; THIN;

FILM; TRANSISTOR; ARRAY; GATE; DRAIN; PIXEL; ELECTRODE; ISOLATE; LEACH

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/13; G02F-001/136

International Patent Class (Additional): H01L-027/12; H01L-029/78
File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03182327 **Image available**

THIN FILM TRANSISTOR ARRAY DEVICE

PUB. NO.: 02-157827 [JP 2157827 A]

PUBLISHED: June 18, 1990 (19900618)

INVENTOR(s): SUKEGAWA OSAMU

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-313341 [JP 88313341]

FILED: December 12, 1988 (19881212)

INTL CLASS: [5] G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors); R119 (CHEMISTRY -- Heat Resistant Resins)

JOURNAL: Section: P, Section No. 1101, Vol. 14, No. 409, Pg. 22,
September 05, 1990 (19900905)

ABSTRACT

PURPOSE: To prevent the short-circuit between a picture element electrode and a source electrode or a drain electrode, and to increase the manufacturing yield of products by connecting the picture element electrode through an aperture part in an inter-layer insulating film to the source electrode or drain electrode.

CONSTITUTION: In a thin film transistor (TR) array device providing plural thin film TRs arranged to an array, and plural picture element electrodes 10, which are mutually connected, a silicon nitriding film 8 as the inter-layer insulating film is provided on a source electrode 7 and a drain electrode 6 of the thin film TR, and the source electrode 7 is connected through an aperture part 9 to the picture element electrode 10. Since the silicon nitriding film 10 exists between the drain electrode 6 and the picture element electrode 10, even when a photo resist defect exists, the interval between the picture element electrode 10 and the drain electrode 6 does not electrically short-circuited. Thus, the yield of the products can be improved.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-157827

⑬ Int. Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月18日

G 02 F 1/136
H 01 L 27/12
29/784

5 0 0

A

7370-2H
7514-5F

8624-5F

H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタアレイ装置

⑯ 特 願 昭63-313341

⑰ 出 願 昭63(1988)12月12日

⑱ 発 明 者 助 川 統 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

薄膜トランジスタアレイ装置

2. 特許請求の範囲

1. アレイ状に配列された複数の薄膜トランジスタと、この薄膜トランジスタにそれぞれ接続された複数の画素電極とを備えた薄膜トランジスタアレイ装置において、

前記薄膜トランジスタのソース電極およびドレイン電極上に層間絶縁膜を設け、

この層間絶縁膜中に設けられた開口部を介して前記ソース電極またはドレイン電極と前記画素電極とを接続した

ことを特徴とする薄膜トランジスタアレイ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶ディスプレイ用の薄膜トランジスタ

アレイ装置の製造に利用される。

本発明は画素電極(ピクセル電極)を有する薄膜トランジスタアレイ装置に関し、特に、そのドレイン・ソース電極と画素電極の構成に関する。

〔概要〕

本発明は、アレイ状に配列された複数の薄膜トランジスタと、各薄膜トランジスタのソース電極またはドレイン電極にそれぞれ接続された画素電極とを備えた薄膜トランジスタアレイ装置において、

前記ソース電極またはドレイン電極と前記画素電極との接続を、前記ソース電極および前記ドレイン電極上に設けられた絶縁膜中の開口部を介して行うようにすることにより、

前記画素電極と前記ソース電極または前記ドレイン電極との短絡を防止し、製品の製造歩留りの向上を図ったものである。

〔従来の技術〕

従来、液晶ディスプレイ用の薄膜トランジスタアレイ装置においては、トランジスタ部アライ

特開平2-157827 (2)

ドを形成した後、金属によりドレイン電極およびソース電極を形成し、次に、透明導電膜を成膜し、パターンニングすることによりソース画素電極を形成していた。

第3図はかかる従来の薄膜トランジスタアレイ装置の要部を示す模式的縦断面図である。ドレイン電極6およびソース電極7は、Cr(クロム)を3000Åスパッタにより成膜しパターン化して形成され、しかる後、ITO(In_2O_3 と SnO_2 との混合物、Indium Tin Oxide)をスパッタにより800Å成膜し、パターン化することにより画素電極10が形成される。

なお、第3図において、1はガラス基板、2はゲート電極、3はゲート絶縁膜としてのシリコン窒化膜、4は真性アモルファスシリコン層(以下、 $i-a-Si$ という。)、および5は n^+ 型アモルファスシリコン層(以下、 n^+-a-Si という。)である。

〔発明が解決しようとする問題点〕

前述した従来の薄膜トランジスタアレイ装置に

おいては、ドレイン電極6と画素電極10が接続されたソース電極7が同一面内に形成されるため、PR(ホトレジスト)欠陥により、ドレイン電極—画素電極間の短絡欠陥が発生する欠点がある。特に、ディスプレイ用薄膜トランジスタアレイ装置の場合、画素開口率を大きくするため、ドレインラインと画素電極間の間隔はできる限り狭くすることが望ましいため、この短絡欠陥の発生頻度は、他のパターン形成と比べ格段に高いものとなり、薄膜トランジスタアレイ装置の歩留りを低下させる大きな要因となっている。

本発明の目的は、前記の欠点を除去することにより、画素電極とソース電極またはドレイン電極との短絡欠陥の発生を防止し、製品の歩留りを向上できる薄膜トランジスタアレイ装置を提供することにある。

〔問題点を解決するための手段〕

本発明は、アレイ状に配列された複数の薄膜トランジスタと、この薄膜トランジスタにそれぞれ接続された複数の画素電極とを備えた薄膜トラン

ジスタアレイ装置において、前記薄膜トランジスタのソース電極およびドレイン電極上に層間絶縁膜を設け、この層間絶縁膜中に設けられた開口部を介して前記ソース電極またはドレイン電極と前記画素電極とを接続したことを特徴とする。

〔作用〕

画素電極とソース電極またはドレイン電極との接続は、層間絶縁膜中の開口部を介して行われる。

従って、画素電極とソース電極またはドレイン電極間には層間絶縁膜(例えば窒化シリコン膜)が介在し、たとえ、PR欠陥が存在しても両電極間が電氣的に短絡することはなくなり、製品の製造歩留りを向上させることが可能となる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一実施例の要部を示す模式的縦断面図で、一つの薄膜トランジスタを取り出して示したものである。

本第一実施例は、アレイ状に配列された複数の

薄膜トランジスタと、この薄膜トランジスタにそれぞれ接続された複数の画素電極10とを備えた薄膜トランジスタアレイ装置において、

前記薄膜トランジスタのソース電極7およびドレイン電極6上に層間絶縁膜としてのシリコン窒化(SiNx)膜8を設け、このシリコン窒化膜8に設けられた開口部9を介してソース電極7と画素電極10とを接続したものである。

なお、第1図において、1はガラス基板、2はゲート電極、3はゲート絶縁膜、4は $i-a-Si$ 層、および5は n^+-a-Si 層である。

本発明の特徴は、第1図において、開口部9を有するシリコン窒化膜8を設けたことにある。

次に、本第一実施例の製造方法について説明する。

ガラス基板1上にゲート電極2が形成され、ゲート絶縁膜として窒化シリコン膜3が3000Å、トランジスタ層として $i-a-Si$ 層4が3000Å、オーミックコンタクト層として n^+-a-Si 層5が500Å、それぞれ形成される。次に、トランジス

特開平2-157827 (3)

タ部以外の $i-a-Si$ 層4および n^+-a-Si 層5が除去され、ドレイン電極6およびソース電極7となるCrが3000Åスパッタにより形成されパターン化される。その後、層間絶縁膜として窒化シリコン膜8を1000Å形成し、開口部9をエッチングにより形成し、ITO 800Åをスパッタにより形成して、パターンニングし画素電極10を形成する。

本第一実施例によれば、ドレイン電極6と画素電極10の間には窒化シリコン膜8が存在し、たとえPR欠陥が存在しても、画素電極10とドレイン電極6が電氣的に短絡することはない。

第2図は本発明の第二実施例の要部を示す模式的縦断面図である。

本第二実施例は、層間絶縁膜をポリイミド膜11によって形成し、その開口部9によって、ソース電極7と画素電極10とを接続したものである。

本発明の特徴は、第2図において開口部9を有するポリイミド膜11を設けたことにある。

本発明の第二実施例は、窒化シリコン膜8の代

わりにポリイミド膜11を形成することで、前述の第一実施例と同様にして製造される。

本第二実施例では、薄膜トランジスタアレイ装置の表面が平坦な形状となり、液晶パネル形成におけるギャップ制御、および配向制御が行いやすい利点がある。

なお、前述の説明は、画素電極とソース電極とが接続される場合について行ったけれども、ソース電極の代わりに画素電極とドレイン電極とが接続される場合も同様である。

〔発明の効果〕

以上説明したように、本発明は、薄膜トランジスタのドレイン・ソース電極と画素電極の間に層間絶縁膜を設け、この層間絶縁膜中の開口部を介して両者を接続することにより、両者の短絡欠陥を大幅に低減でき、製品の歩留りを向上できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第一実施例の要部を示す模式的

的縦断面図。

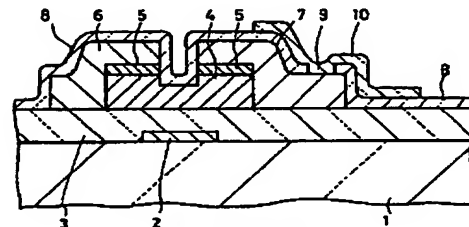
第2図は本発明の第二実施例の要部を示す模式的縦断面図。

第3図は従来例の要部を示す模式的縦断面図。

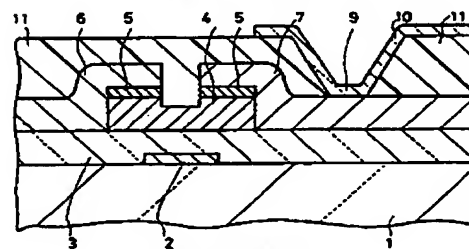
1…ガラス基板、2…ゲート電極、3、8…シリコン窒化膜、4… $i-a-Si$ 層、5… n^+-a-Si 層、6…ドレイン電極、7…ソース電極、9…開口部、10…画素電極、11…ポリイミド膜。

特許出願人 日本電気株式会社
代理人 弁理士 井出直孝

- | | | |
|---------------|-----------------|------------|
| 1: ガラス基板 | 5: n^+-a-Si 層 | 9: 開口部 |
| 2: ゲート電極 | 6: ドレイン電極 | 10: 画素電極 |
| 3, 8: 窒化シリコン膜 | 7: ソース電極 | 11: ポリイミド膜 |
| 4: $i-a-Si$ 層 | | |



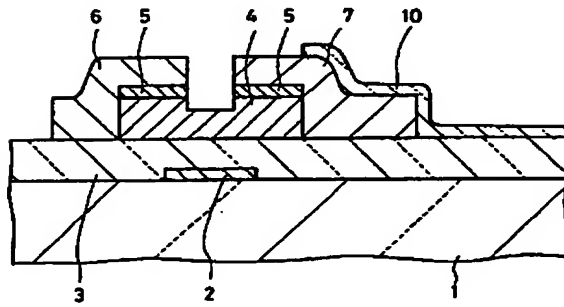
第一実施例
第1図



第二実施例
第2図

特開平2-157827 (4)

- 1 : ガラス基板 5 : $n^+ - a - Si$ 層
 2 : ゲート電極 6 : ドレイン電極
 3 : 窒化シリコン膜 7 : ソース電極
 4 : $p - a - Si$ 層 10 : 島状電極



従来例
第3図

(19)【発行国】日本国特許庁（ＪＰ）
(12)【公報種別】公開特許公報（Ａ）
(11)【公開番号】特開平２－１５７８２７
(43)【公開日】平成２年（１９９０）６月１８日
(54)【発明の名称】薄膜トランジスタアレイ装置
(51)【国際特許分類第５版】
 G02F 1/136 500
 H01L 27/12
 H01L 29/784
【審査請求】＊
【全頁数】４
(21)【出願番号】特願昭６３－３１３３４１
(22)【出願日】昭和６３年（１９８８）１２月１２日
(71)【出願人】
 【識別番号】９９９９９９９９
 【氏名又は名称】日本電気株式会社
 【住所又は居所】＊
(72)【発明者】
 【氏名】助川統
 【住所又は居所】＊

(57)【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

1、アレイ状に配列された複数の薄膜トランジスタと、この薄膜トランジスタにそれぞれ接続された複数の画素電極とを備えた薄膜トランジスタアレイ装置において、前記薄膜トランジスタのソース電極およびドレイン電極上に層間絶縁膜を設け、この層間絶縁膜中に設けられた開口部を介して前記ソース電極またはドレイン電極と前記画素電極とを接続したことを特徴とする薄膜トランジスタアレイ装置。